

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-330434

(43)Date of publication of application : 30.11.1999

(51)Int.Cl.

H01L 27/118

(21)Application number : 10-138865

(71)Applicant : RICOH CO LTD

(22)Date of filing : 20.05.1998

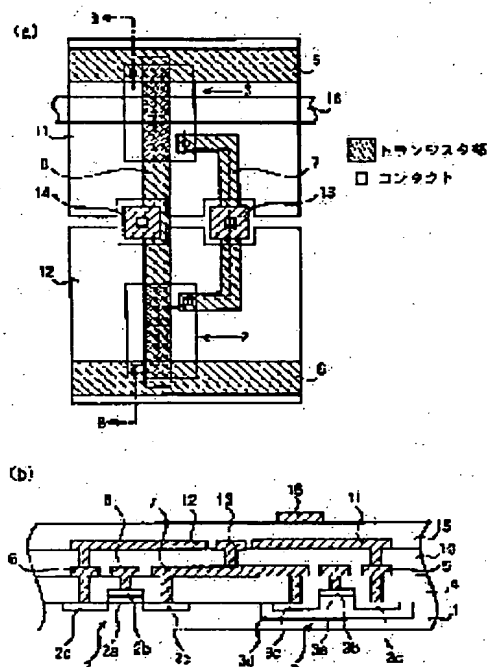
(72)Inventor : KAMINISHI TAKAO

## (54) SEMICONDUCTOR DEVICE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor device which prevents the generation of a parasitic capacitance between basic cells caused by an upper layer wiring and securing a prescribed delay characteristic of the basic cell in the practical manufacturing.

**SOLUTION:** In a basic cell of a semiconductor composed of the basic cell (e.g. an inverter) having a prescribed unit logic function, a metal layer 11 for power having size covering approximately over the cell and a metal layer 12 for ground are formed between a first layer wiring layer (a first layer metal power wiring 5, a first layer metal ground wiring 6, a first first-layer metal signal wiring 7, and a second of a first layer metal signal wiring 8) and a metal upper layer wiring 16. The signal layer function by the metal layers 11 and 12 prevents the generation of a parasitic capacitance between basic cells due to the metal upper layer wiring 16.



## LEGAL STATUS

[Date of request for examination]

10.10.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-330434

(43) 公開日 平成11年(1999)11月30日

(51) Int.Cl.<sup>8</sup>

H 0 1 L 27/118

識別記号

F I

H 0 1 L 21/82

M

審査請求 未請求 請求項の数1 O L (全 4 頁)

(21) 出願番号 特願平10-138865

(22) 出願日 平成10年(1998) 5月20日

(71) 出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72) 発明者 神西 孝雄

東京都大田区中馬込1丁目3番6号 株式  
会社リコー内

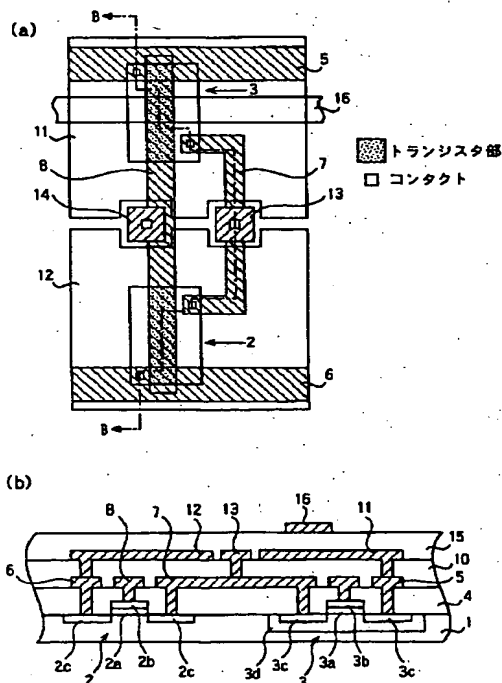
(74) 代理人 弁理士 鳥居 洋

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 上層配線による基本セルとの間での寄生容量の発生を防止し、基本セルの予定されている遅延特性が実際の作成においても保証されるようにした半導体装置を提供する。

【解決手段】 所定の単位論理機能を有する基本セル（例えば、インバータ）を備えて構成される半導体装置において、前記基本セルには、当該セルの略全体を覆う大きさの電源用のメタル層11及びグランド用のメタル層12が、第1層配線層（第1層メタル電源配線5、第1層メタルグランド配線6、第1の第1層メタル信号配線7、第2の第1層メタル信号配線8）とメタル上層配線16との間に形成されており、前記メタル層11、12がシールド層として機能することで、メタル上層配線16による基本セルとの間での寄生容量の発生を防止する。



## 【特許請求の範囲】

【請求項 1】 所定の単位論理機能を有する基本セルを備えて構成される半導体装置において、前記基本セルは、電源用の導電体層及びグランド用の導電体層によって当該セルの略全体が覆われていることを特徴とする半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体装置にかかり、特に、スタンダードセル方式を用いたレイアウト設計を用いて好適に形成される半導体装置に関する。

## 【0002】

【従来の技術】スタンダードセル方式の半導体装置は、複数種類の基本的な動作をなす基本セル（例えば、NAND回路やインバータ回路など）をマクロセルとしてデータベース上に登録しておき、顧客の要求にあった仕様の動作を実現するのに必要となるマクロセルを電子計算機上で選び出して所定領域に自動的に配置配線する方式である。

【0003】図 2 (a) は、インバータ回路を成す従来構造の基本セル及びこの基本セル上を通る上層信号配線を示した平面図であり、同図 (b) はその A-A 矢視断面図である。このインバータ回路は、P 型の半導体基板 51 に N 型 MOS 52 と P 型 MOS 53 を備える。N 型 MOS 52 は、ゲート絶縁膜 52a 上に形成されたポリシリコンから成るゲート電極 52b、及びこのゲート電極 52b を挟むように形成された N 型拡散領域（ソース、ドレイン）52c、52c から成る。また、P 型 MOS 53 は、N ウェル領域 53d に形成されており、ゲート絶縁膜 53a 上に形成されたポリシリコンから成るゲート電極 53b、及びこのゲート電極 53b を挟むように形成された P 型拡散領域（ソース、ドレイン）53c、53c から成る。

【0004】前記の半導体基板 51 上には、第 1 の絶縁層 54 を介して第 1 配線層が形成されている。第 1 層メタル電源配線 55 は、コンタクトホールを介して P 型 MOS 53 のソースとなる拡散領域 53c に接続されており、第 1 層メタルグランド配線 56 は、コンタクトホールを介して N 型 MOS 52 のソースとなる拡散領域 52c に接続されている。また、第 1 の第 1 層メタル信号配線 57 は、コンタクトホールを介して P 型 MOS 53 のドレイン及び N 型 MOS 52 のドレインに接続されており、第 2 の第 1 層メタル信号配線 58 は、コンタクトホールを介して P 型 MOS 53 のゲート電極 53b 及び N 型 MOS 52 のゲート電極 52b に接続されている。そして、第 1 の絶縁層 54 上に形成された第 2 の絶縁層 60 上には、前記第 1 の第 1 層メタル信号配線 57 にビアホールを介して接続される出力電極部 61、及び前記第 2 の第 1 層メタル信号配線 58 にビアホールを介して接続される入力電極部 62 が形成されている。

## 【0005】

【発明が解決しようとする課題】ところで、基本セル間の配線においては、前記の図 2 (a) に示しているごとく、基本セル上を横切るように前記の第 2 絶縁層 60 上において第 2 層メタル信号配線 63 が形成されることがあるが、上記従来構造の基本セルにおいて前記の第 2 層メタル信号配線 63 が形成されると、この配線 63 とその下層の基本セルとの間に容量結合が形成され、その基本セルの遅延特性に変化が生じるという欠点がある。つまり、予め所定の遅延特性を有するものとして定義されている基本セルを接続して所望の特性を実現する集積回路を設計したとしても、実際に作成された集積回路においては、前記の第 2 層メタル信号配線 63 による容量結合の影響によって所望の特性が得られないということが生じていた。

【0006】なお、特開平 9-8140 号公報 (IPC H01L 21/82) に開示されている半導体集積回路装置は、自動配線ツールによって予期しない長い配線が形成された場合の不具合（設計者が意図しないような大きな負荷容量の発生）が生じた場合に、設計変更が容易に行えるように予備的な駆動回路を配置したものであり、設計変更はやはり必要になるという欠点がある。また、特開平 8-306773 号公報 (IPC H01L 21/768) に開示されている半導体装置は、信号配線の容量増大による信号の遅延を防止すべく、ダミー信号配線を設けてこれに同位相の信号を供給することで、寄生容量の充放電を行わせないようにしたものである。しかしながら、かかる構造を、各基本セルに適用することは現実的ではない。

【0007】この発明は、上記の事情に鑑み、上層配線による基本セルとの間での寄生容量の発生を防止し、基本セルの予定されている遅延特性が実際の作成においても保障されるようにした半導体装置を提供することを目的とする。

## 【0008】

【課題を解決するための手段】この発明の半導体装置は、上記の課題を解決するために、所定の単位論理機能を有する基本セルを備えて構成される半導体装置において、前記基本セルは、電源用の導電体層及びグランド用の導電体層によって当該セルの略全体が覆われていることを特徴とする。

【0009】上記の構成であれば、基本セルの略全体を覆う大きさの電源用の導電体層及びグランド用の導電体層が形成されているので、基本セルは前記導電体層によって上層配線からシールドされることになる。従って、実際の作成において基本セル上に上層配線が通ったとしても、当該上層配線による寄生容量の影響を受けることがなくなり、当該基本セルの予定されている遅延特性が実際の作成においても保障される。

## 【0010】

【発明の実施の形態】以下、この発明の実施の形態を図 1 に基づいて説明する。

【0011】図 1 (a) は、インバータ回路を成す基本セル及びこの基本セル上を通る上層信号配線を示した平面図であり、同図 (b) はその B-B 矢視断面図である。この発明の実施の形態の半導体装置は、上記図 1 に示す構造の基本セルを備えて構成されることになる。

【0012】前記インバータ回路は、P 型の半導体基板 1 に N 型 MOS 2 と P 型 MOS 3 を備える。N 型 MOS 2 は、ゲート絶縁膜 2 a 上に形成されたポリシリコンから成るゲート電極 2 b、及びこのゲート電極 2 b を挟むように形成された N 型拡散領域 (ソース、ドレイン) 2 c、2 c から成る。また、P 型 MOS 3 は、N ウェル領域 3 d に形成されており、ゲート絶縁膜 3 a 上に形成されたポリシリコンから成るゲート電極 3 b、及びこのゲート電極 3 b を挟むように形成された P 型拡散領域 (ソース、ドレイン) 3 c、3 c から成る。

【0013】前記の半導体基板 1 上には、第 1 の絶縁層 4 を介して第 1 配線層が形成されている。第 1 層金属電源配線 5 は、コンタクトホールを介して P 型 MOS 3 のソースとなる拡散領域 3 c に接続されており、第 1 層金属グランド配線 6 は、コンタクトホールを介して N 型 MOS 2 のソースとなる拡散領域 2 c に接続されている。また、第 1 の第 1 層金属信号配線 7 は、コンタクトホールを介して P 型 MOS 3 のドレイン及び N 型 MOS 2 のドレインに接続されており、第 2 の第 1 層金属信号配線 8 は、コンタクトホールを介して P 型 MOS 3 のゲート電極 3 b 及び N 型 MOS 2 のゲート電極 2 b に接続されている。

【0014】そして、第 1 の絶縁層 4 上に形成された第 2 の絶縁層 10 上には、電源用の金属層 11 及びグランド用の金属層 12 が当該インバータを成す基本セルの略全体を覆う大きさで形成されている。上記の電源用の金属層 11 はビアホールを介して第 1 層金属電源配線 5 に接続され、グランド用の金属層 12 はビアホールを介して第 1 層金属グランド配線 6 に接続されている。これら金属層 11、12 は、第 2 配線層を成すことになる。また、この第 2 配線層には、出力電極部 13 及び入力電極部 14 が前記電源用の金属層 11 及びグランド用の金属層 12 に接触しないように形成されている。前記出力電極部 13 は、第 2 の絶縁層 10 に形成されたビアホールを介して前記第 1 の第 1 層金属信号配線 7 に接続され、前記入力電極部 14 は、第 2 の絶縁層 10 に形成されたビアホールを介して前記第 2 の第 1 層金属信号配線 8 に接続される。

【0015】第 2 の絶縁層 10 上には第 3 の絶縁層 15 が形成されており、この第 3 の絶縁層 15 上には第 3 層配線である金属上層配線 16 が当該基本セルの上方を横切るように形成されている。

【0016】上記の構成であれば、基本セルの略全体を

覆う大きさの電源用の金属層 11 及びグランド用の金属層 12 が、第 1 層配線層 (5, 6, 7, 8) と金属上層配線 16 との間に形成されているので、基本セルは前記金属層 11, 12 によって金属上層配線 16 からシールドされることになる。従って、実際の作成において基本セル上に金属上層配線 16 が通ったとしても、当該金属上層配線 16 による寄生容量は発生せず、当該基本セルの予定されている遅延特性が実際の作成においても保障されることになる。また、電源用の金属層 11 及びグランド用の金属層 12 が当該インバータを成す基本セルの略全体を覆う大きさで形成されていることにより、基本セルへの電源及びグランドの供給が容易になるとともにノイズにも強くなる。

【0017】なお、この実施の形態では、電源側ラインとして電源用の金属層 11 及び第 1 層金属電源配線 5 を設け、また、グランド側ラインとしてグランド用の金属層 12 及び第 1 層金属グランド配線 6 を設けたが、これに限らず、電源用の金属層 11 のみを形成して絶縁層 4, 10 を貫通するホールにて拡散領域 3 c に接続する構造、同様にグランド用の金属層 12 のみを形成して絶縁層 4, 10 を貫通するホールにて拡散領域 2 c に接続する構造を採用してもよいものである。

【0018】

【発明の効果】以上説明したように、この発明によれば、上層配線による基本セルとの間での寄生容量の発生を防止し、基本セルの予定されている遅延特性を実際の作成においても保障できるという効果を奏する。

【図面の簡単な説明】

【図 1】同図 (a) は、この発明の実施の形態の半導体装置の基本セルを示した平面図であり、同図 (b) はその B-B 矢視断面図である。

【図 2】同図 (a) は、従来の半導体装置の基本セルを示した平面図であり、同図 (b) はその A-A 矢視断面図である。

【符号の説明】

- 1 P 型の半導体基板
- 2 N 型 MOS
- 3 P 型 MOS
- 4 第 1 の絶縁層
- 5 第 1 層金属電源配線
- 6 第 1 層金属グランド配線
- 7 第 1 の第 1 層金属信号配線
- 8 第 2 の第 1 層金属信号配線
- 10 第 2 の絶縁層
- 11 電源用の金属層
- 12 グランド用の金属層
- 13 出力電極部
- 14 入力電極部
- 15 第 3 の絶縁層
- 16 金属上層配線

【圖 2】

